

CLIPPEDIMAGE= JP410335616A
PAT-NO: JP410335616A
DOCUMENT-IDENTIFIER: JP 10335616 A
TITLE: MANUFACTURE OF SOI SUBSTRATE

PUBN-DATE: December 18, 1998

INVENTOR-INFORMATION:

NAME

TAKADA, RYOKO

TAKAISHI, KAZUNARI

TOMIZAWA, KENJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI MATERIALS SHILICON CORP

N/A

APPL-NO: JP09139031

APPL-DATE: May 29, 1997

INT-CL_(IPC): H01L027/12; H01L021/02 ;
H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a thin film
which is made uniform in thickness
and excellent in surface roughness dispensing with
touch polishing performed

onto its surface even if its is very small in thickness.

SOLUTION: Hydrogen ions are implanted into a semiconductor substrate 11 where an insulating layer 11a is formed on its surface of the formation of a damaged region 11b in parallel with the insulating layer 1a in the semiconductor substrate 11, and the semiconductor substrate 11 is joined to a support substrate 12 to form a laminate 13. The laminate 13 is subjected to a thermal treatment under a pressure of 1×10^{-6} to 1×10^{-11} Torr at a temperature of 400 to 500°C to divide the semiconductor substrate 11 in two separating the damaged region 11b into a thick-walled part 11c and a thin film 11d. Furthermore, the laminate 13 is cooled down to a prescribed temperature, the thick-walled part 11c is removed, then the laminate 13 is subjected to a thermal treatment under a pressure of 1×10^{-6} to 1×10^{-11} Torr at a temperature 900 to 1200°C to make the surface of the thin film 11d flat, and the thin film 11d is stuck on the support substrate 12.

COPYRIGHT: (C)1998,JPO



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10335616 A**(43) Date of publication of application: **18.12.98**

(51) Int. Cl. **H01L 27/12**
H01L 21/02
H01L 21/265

(21) Application number: **09139031**(22) Date of filing: **29.05.97**(71) Applicant: **MITSUBISHI MATERIALS
SHILICON CORP**

(72) Inventor: **TAKADA RYOKO**
TAKAISHI KAZUNARI
TOMIZAWA KENJI

(54) **MANUFACTURE OF SOI SUBSTRATE**

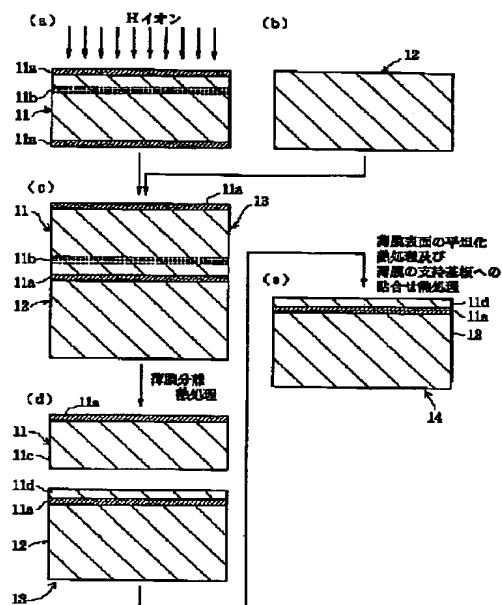
(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a thin film which is made uniform in thickness and excellent in surface roughness dispensing with touch polishing performed onto its surface even if its is very small in thickness.

SOLUTION: Hydrogen ions are implanted into a semiconductor substrate 11 where an insulating layer 11a is formed on its surface of the formation of a damaged region 11b in parallel with the insulating layer 1a in the semiconductor substrate 11, and the semiconductor substrate 11 is joined to a support substrate 12 to form a laminate 13. The laminate 13 is subjected to a thermal treatment under a pressure of 1×10^{-6} to 1×10^{-11} Torr at a temperature of 400 to 500°C to divide the semiconductor substrate 11 in two separating the damaged region 11b into a thick-walled part 11c and a thin film 11d. Furthermore, the laminate 13 is cooled down to a prescribed temperature, the thick-walled part 11c is removed, then the laminate 13 is subjected to a thermal treatment under a pressure of 1×10^{-6} to 1×10^{-11} Torr at a temperature 900 to 1200°C to make the surface of the thin film 11d flat, and the thin film 11d is stuck on

the support substrate 12.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 3 3 5 6 1 6

(43) 公開日 平成 1 0 年 (1 9 9 8) 1 2 月 1 8 日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/12

H01L 27/12

B

21/02

21/02

B

21/265

21/265

Q

審査請求 未請求 請求項の数 3 O L (全 1 0 頁)

(21) 出願番号 特願平 9 - 1 3 9 0 3 1

(22) 出願日 平成 9 年 (1 9 9 7) 5 月 2 9 日

(71) 出願人 0 0 0 2 2 8 9 2 5

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目 5 番 1 号

(72) 発明者 高田 涼子

東京都千代田区大手町 1 丁目 5 番 1 号 三
菱マテリアルシリコン株式会社内

(72) 発明者 高石 和成

東京都千代田区大手町 1 丁目 5 番 1 号 三
菱マテリアルシリコン株式会社内

(72) 発明者 富澤 憲治

東京都千代田区大手町 1 丁目 5 番 1 号 三
菱マテリアルシリコン株式会社内

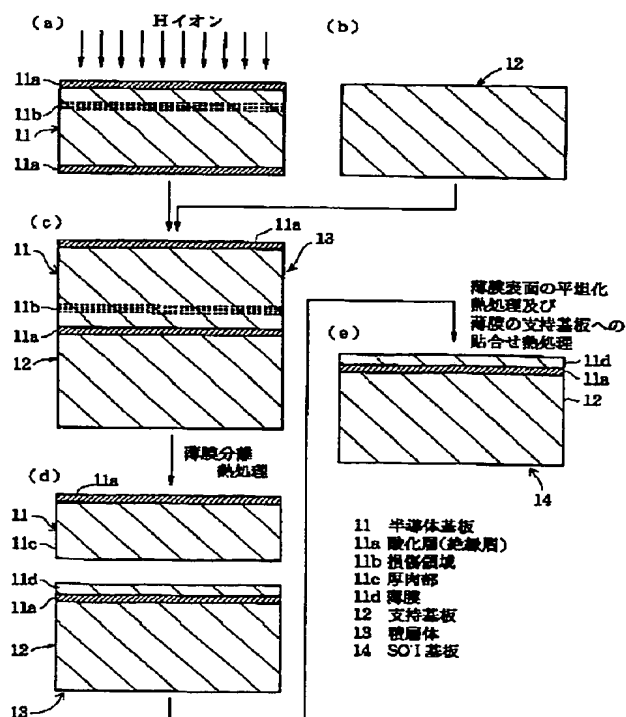
(74) 代理人 弁理士 須田 正義

(54) 【発明の名称】 S O I 基板の製造方法

(57) 【要約】

【課題】薄膜表面のタッチポリッシュによる研磨を不要にでき、また厚さが極めて薄い薄膜であっても、膜厚が均一でかつ表面粗さが良好な薄膜が得られる。

【解決手段】表面に絶縁層 1 1 a が形成された半導体基板 1 1 に水素イオンを注入して半導体基板 1 1 内部に絶縁層 1 1 a に平行な損傷領域 1 1 b を形成し、半導体基板 1 1 を支持基板 1 2 に重ね合わせて積層体 1 3 を形成する。この積層体 1 3 を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torr の真空中で $400 \sim 500^\circ\text{C}$ の範囲に昇温して半導体基板 1 1 を損傷領域 1 1 b で厚肉部 1 1 c 及び薄膜 1 1 d に分離する。更に積層体 1 3 の温度を所定の温度まで下げて半導体基板 1 1 の厚肉部 1 1 c を除去した後に、積層体 1 3 を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torr の真空中で $900 \sim 1200^\circ\text{C}$ の範囲に昇温して薄膜 1 1 d 表面を平坦化しかつ薄膜 1 1 d を支持基板 1 1 に貼合せる。



【特許請求の範囲】

【請求項 1】 表面に絶縁層(11a)が形成された半導体基板(11)に水素イオンを注入して前記半導体基板(11)内部に前記絶縁層(11a)に平行な損傷領域(11b)を形成する工程と、

前記半導体基板(11)を支持基板(12)に重ね合せて積層体(13)を形成する工程と、

前記積層体(13)を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で $400 \sim 500^{\circ}\text{C}$ の範囲に昇温して前記半導体基板(11)を前記損傷領域(11b)で厚肉部(11c)及び薄膜(11d)に分離する工程とを含む S O I 基板の製造方法。

【請求項 2】 積層体(13)の温度を所定の温度まで下げ半導体基板(11)の厚肉部(11c)を除去した後に、前記積層体(13)を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で $900 \sim 1200^{\circ}\text{C}$ の範囲に昇温して薄膜(11d)表面を平坦化しかつ前記薄膜(11d)を支持基板(12)に貼合せる。請求項 1 記載の S O I 基板の製造方法。

【請求項 3】 損傷領域で分離した厚肉部を薄膜に重ねたまま積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で $900 \sim 1200^{\circ}\text{C}$ の範囲に更に昇温して、前記薄膜表面を平坦化しかつ前記薄膜を支持基板に貼合せた後に、降温して前記厚肉部を除去する請求項 1 記載の S O I 基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、単結晶の薄膜を支持基板上に有する S O I 基板の製造方法に関するものである。

【0002】

【従来の技術】 この種の S O I 基板は将来の超高集積回路(U L S I)基板として注目されてきている。この S O I 基板の製造方法には、①シリコン基板同士を絶縁膜を介して貼り合わせる方法、②絶縁性基板又は絶縁性薄膜を表面に有する基板の上にシリコン薄膜を堆積させる方法、③シリコン基板の内部に高濃度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成し、その表面側の S i 層を活性領域とする S I M O X 法などがある。

【0003】 また最近、半導体基板に水素イオン注入を行った後に、この半導体基板をイオン注入面を重ね合せ面として支持基板に重ね合せ、この積層体を 500°C を越える温度に昇温して上記半導体基板を水素イオン注入部分で支持基板から分離し、支持基板の表面に薄膜を有する薄い半導体材料フィルムの製造方法が提案されている(特開平 5 - 2 1 1 1 2 8)。この方法では、イオンを半導体基板の内部に表面から均一に注入できれば、均一な厚さの薄膜を有する半導体基板が得られる。また支持基板の表面に予め酸化層を設けておけば、この方法により S O I 基板を製造することができる。なお、半導体

基板を水素イオン注入部分で支持基板から分離するときの雰囲気は、通常大気圧と同一の窒素雰囲気中で行われる。

【0004】 一方、近年マイクロエレクトロニクスデバイスの高集積化、デバイス最小寸法の縮小に伴い、ウェーハ表面の清浄度とともにウェーハ表面の微視的ラフネス、即ちマイクロラフネス(micro-roughness)が重要視されてきている。特にマイクロラフネスはデバイスの酸化膜耐圧などの電気特性に大きな影響を与えることが認識されている(M.Morita, et al., "Effect of Si wafer surface micro-roughness on electrical properties of very-thin gate oxide films", ULSI Science and Technology/1991, pp.400-408, Electrochem. Society (1991))。なお、ここでマイクロラフネスは $1 \mu\text{m}$ 以下数 nm のオーダの表面粗さをいう。

【0005】 上記特開平 5 - 2 1 1 1 2 8 号公報に示された方法で半導体基板を分離した直後の支持基板の表面に存する薄膜の表面の平均粗さは、分離前の半導体基板表面の平均粗さの 10 倍以上であり、マイクロラフネスが比較的大きく、上述した酸化膜耐圧などの電気特性に悪影響を及ぼすおそれがある。特にこの方法では、半導体基板の分離により形成された薄膜の表面は、熱処理に伴う微小気泡の形状が残っているためにマイクロラフネスが大きく、デバイスの作製には適さない。

【0006】 この点を解決するため、半導体基板を分離した後の支持基板上の薄膜表面をタッチポリッシュ(touch polishing)と呼ばれる、軽い研磨を施すことにより、この薄膜の表面を平坦化している(M.Bruehl et al., "A Promising New SOI Material Technology" IEEE International SOI Conference proceedings, pp.178-179 (1995))。

【0007】

【発明が解決しようとする課題】 しかしながら、現状のタッチポリッシュの技術を、上記方法で作製した厚さ数百 nm 以下の極めて薄い薄膜に適用した場合には、薄膜表面を平坦化することはできるが、面内で研磨量のばらつきがあるため、薄膜の厚さ分布が大きくなる不具合があった。この薄膜の厚さ分布が大きいため、研磨後の薄膜半導体基板を用いてデバイスを作製した場合に、デバイスの特性がばらつく問題点があった。

【0008】 本発明の目的は、薄膜表面のタッチポリッシュによる研磨を極力低減若しくは不要にでき、しかも厚さが極めて薄い薄膜であっても、膜厚が均一で表面粗さが良好な薄膜を得ることができる S O I 基板の製造方法を提供することにある。本発明の別の目的は、薄膜表面の平坦化と薄膜の支持基板への貼合を同時に行うことにより製造工程の負荷を低減できる S O I 基板の製造方法を提供することにある。

【0009】

【課題を解決するための手段】 請求項 1 に係る発明は、

図1及び図2に示すように、表面に絶縁層11aが形成された半導体基板11に水素イオンを注入して半導体基板11内部に絶縁層11aに平行な損傷領域11bを形成する工程と、半導体基板11を支持基板12に重ね合わせて積層体13を形成する工程と、積層体13を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で $400 \sim 500^\circ\text{C}$ の範囲に昇温して半導体基板11を損傷領域11bで厚肉部11c及び薄膜11dに分離する工程とを含むSOI基板の製造方法である。この請求項1に記載されたSOI基板の製造方法では、半導体基板11が厚肉部11cと薄膜11dとに分離されるのは、半導体基板11に注入した水素イオンを起因とする微小気泡の内圧と半導体基板11外部の圧力との差が十分に大きくなることにより起こると考えられる。この結果、半導体基板11外部の圧力が小さい方が薄膜11d分離に必要な微小気泡の内圧が小さくて済むため、 $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrと極めて真空度の高い雰囲気中で加熱すると、微小気泡の成長が比較的少ない状態で薄膜11dを分離できる。従って、薄膜11dの分離面の表面粗さが小さくなると考えられる。

【0010】請求項2に係る発明は、請求項1に係る発明であって、更に図1及び図2に示すように、積層体13の温度を所定の温度まで下げて半導体基板11の厚肉部11cを除去した後に、積層体13を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で $900 \sim 1200^\circ\text{C}$ の範囲に昇温して薄膜11d表面を平坦化しかつ薄膜11dを支持基板12に貼合せることを特徴とする。この請求項2に記載されたSOI基板の製造方法では、 $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrと極めて真空度の高い雰囲気中で 700°C まで昇温すると、半導体基板11に注入された水素イオンの薄膜11dからの脱離が完了し、これに伴って薄膜11dの表面粗さが小さくなる。一方、薄膜11dと支持基板12との貼合せ熱処理は通常 $900 \sim 1200^\circ\text{C}$ の範囲で行われる。この結果、上記熱処理は薄膜11d表面の平坦化熱処理と薄膜11dの貼合せ熱処理とを兼ねるので、SOI基板14の製造工数を低減できる。

【0011】請求項3に係る発明は、請求項1に係る発明であって、更に損傷領域で分離した厚肉部を薄膜に重ねたまま積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で $900 \sim 1200^\circ\text{C}$ の範囲に更に昇温して、薄膜表面を平坦化しかつ薄膜を支持基板に貼合せた後に、降温して厚肉部を除去することを特徴とする。この請求項3に記載されたSOI基板の製造方法では、半導体基板の薄膜の分離後に降温せずに、更に $900 \sim 1200^\circ\text{C}$ の範囲まで昇温するので、上記請求項2に係るSOI基板の製造方法より熱処理の工数及び熱エネルギーの損失を低減できる。

【0012】

【発明の実施の形態】次に本発明の実施の形態を図面に

基づいて説明する。図1及び図2(a)に示すように、本発明のSOI基板を製造するには、先ずシリコンウェーハからなる半導体基板11を熱酸化により基板11表面に絶縁層である酸化層11a(SiO₂層)を形成した後、この基板11に水素イオンを $3.5 \times 10^{18} \text{H/cm}^2 \sim 1 \times 10^{17} \text{H/cm}^2$ のドーズ量でイオン注入する(図1(a))。符号11bは水素イオン注入により半導体基板11内部に形成された損傷領域であり、この損傷領域11bは酸化層11aに平行に形成される。次いで上記と同一のシリコンウェーハからなる支持基板12を用意し(図1(b))、両基板11、12をRCA法により洗浄した後、支持基板12上に半導体基板11を室温で重ね合わせて積層体13を形成する(図1(c))。次に上記積層体13を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torr、好ましくは $1 \times 10^{-7} \sim 1 \times 10^{-9}$ の真空中で $400 \sim 500^\circ\text{C}$ (図2)、好ましくは $400 \sim 450^\circ\text{C}$ の範囲に昇温し、この温度範囲に0~10分間(図2)、好ましくは1~2分間保持して薄膜分離熱処理を行う。これにより半導体基板11が損傷領域11bのところで割れて上部の厚肉部11cと下部の薄膜11dに分離する(図1(d))。

【0013】ここで、上記薄膜分離熱処理の雰囲気をも $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中に限定したのは、 1×10^{-6} torr未満では分離面の平坦化が不十分となる不具合があり、 1×10^{-11} torrを越えると装置の設計上の実現が難しいからである。また上記熱処理の温度を $400 \sim 500^\circ\text{C}$ に限定したのは、 400°C 未満では水素による気泡内圧の上昇が十分でない不具合があり、 500°C を越えると気泡の成長が進んで表面粗さが増大する不具合があるからである。

【0014】更に上記半導体基板11が損傷領域11bで割れた積層体13の温度を $200 \sim 300^\circ\text{C}$ まで下げて半導体基板11の厚肉部11cを除去し、支持基板12の上面に単結晶シリコンの薄膜11dを積層した状態で(図1(e))、 $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torr、好ましくは $1 \times 10^{-7} \sim 1 \times 10^{-9}$ torrの真空中で $900 \sim 1200^\circ\text{C}$ (図2(a))、好ましくは $1000 \sim 1100^\circ\text{C}$ の範囲に昇温しこの温度範囲に30~120分間、好ましくは40~60分間保持する熱処理を行う。この熱処理は薄膜11d表面の平坦化熱処理と薄膜11dの支持基板12への貼合せ熱処理とを兼ねる熱処理である。

【0015】即ち、 $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrと極めて真空度の高い雰囲気中で 700°C まで昇温すると、半導体基板11に注入された水素イオンの薄膜11dからの脱離が完了し、これに伴って薄膜11dの表面粗さが小さくなる。これは昇温脱離ガス分析装置(TDS)を用いて測定して判明した。一方、薄膜11dと支持基板12との貼合せ熱処理は通常 $900 \sim 1200^\circ\text{C}$ の範囲で行われる。この結果、上記真空中で $900 \sim 1200^\circ\text{C}$

10

20

30

40

50

0℃の範囲に昇温することにより、薄膜11d表面を平坦化し、同時に薄膜11dを支持基板12に貼合せることができるので、SOI基板14の製造工数を低減できる。また上記平坦化熱処理及び貼合せ熱処理を行う前に積層体13の温度を200～300℃まで下げて厚肉部11cを除去したのは、枚葉処理ではなく、バッチ処理により生産したときに、その生産効率を向上するためである。

【0016】なお、上記実施の形態では、半導体基板の表面に熱酸化により絶縁層である酸化層(SiO₂層)を形成したが、半導体基板の表面に窒化処理等により絶縁層を形成してもよい。また、上記実施の形態では、積層体の温度を所定の温度まで下げて半導体基板の厚肉部を除去した後に、積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で900～1200℃の範囲に昇温して、薄膜表面を平坦化しかつ薄膜を支持基板に貼合せたが、これに限らず、損傷領域で分離した厚肉部を薄膜に重ねたまま積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torr、好ましくは $1 \times 10^{-7} \sim 1 \times 10^{-11}$ torrの真空中で900～1200℃(図2(b))、好ましくは1000～1100℃の範囲に更に昇温してこの温度範囲に30～120分間、好ましくは40～60分間保持することにより、薄膜表面を平坦化しかつ薄膜を支持基板に貼合せ、その後以降温して厚肉部を除去してもよい。この場合、半導体基板の薄膜の分離後に降溫せずに、更に900～1200℃の範囲まで昇温するので、上記実施の形態に係るSOI基板の製造方法より熱処理の工数及び熱エネルギーの損失を低減できる。

【0017】

【実施例】次に本発明の実施例を図面に基づいて詳しく説明する。

<実施例1>厚さ625μmのシリコンウェーハからなる半導体基板を熱酸化して表面に厚さ400nmの熱酸化膜を形成した。この半導体基板に100keV、ドーズ量 5×10^{16} H/cm²で水素イオンを注入した。熱酸化前の上記と同一のシリコンウェーハからなる支持基板に上記半導体基板を重ね合せて積層体を形成した。重ね合せる前にRCA法により両基板を洗浄した。この積層体を 1×10^{-11} torrの真空中で400℃まで昇温して薄膜分離の熱処理を行った(図3(a))。この熱処理により半導体基板中の結晶の再配列及び微小気泡の圧力作用にて、半導体基板内部のイオン注入した箇所では半導体基板が割れて分離し、支持基板上に厚さ120nmの単結晶シリコンの薄膜を有するSOI基板が得られた。このときの薄膜の厚さのばらつきは±4nmであった。また薄膜表面の平均粗さRaを、測定領域を10μm角及び2μm角として、原子間力顕微鏡(以下、AFMという)によりそれぞれ測定した。この結果、測定領域が10μm角及び2μm角のときの薄膜表面の平均粗さRaはそれぞれ6.26nm(図4(a))及び5.11nm

m(図4(b))であった。

【0018】<実施例2>実施例1と同様にして作製した単結晶シリコンの薄膜付きの支持基板を厚肉部薄膜上に重ねたまま、実施例1と同一の真空中、即ち 1×10^{-11} torrの真空中で850℃まで昇温して、薄膜の平坦化熱処理を行った(図3(b))。このときの薄膜の厚さは 120 ± 4 nmと実施例1と殆ど変らなかった。また測定領域が10μm角及び2μm角のときの薄膜表面の平均粗さRaはAFMで測定した結果、それぞれ1.16nm(図5(a))及び0.38nm(図5(b))であった。この結果、薄膜表面の平均粗さRaは実施例1の約1/5(測定領域10μm角)及び約1/13(測定領域2μm角)となり、実施例1と比べて極めて小さくなった。

【0019】<比較例1>実施例1と同様にして作製した半導体基板及び支持基板の積層体を大気圧の窒素雰囲気中で450℃まで昇温して薄膜分離熱処理を行った。この熱処理により半導体基板内部のイオン注入した箇所では半導体基板が割れて分離し、支持基板上に厚さ120nmの単結晶シリコンの薄膜を有するSOI基板が得られた。このときの薄膜の厚さは 120 ± 4 nmと実施例1と殆ど変らなかった。また測定領域が10μm角及び2μm角のときの薄膜表面の平均粗さRaはAFMで測定した結果、それぞれ12.7nm(図6(a))及び10.3nm(図6(b))であった。この結果、薄膜表面の平均粗さRaは、測定領域が10μm角及び2μm角のいずれの場合にも、実施例1の約2倍と大きくなった。

【0020】<比較例2>比較例1と同様にして作製した単結晶シリコンの薄膜付きの支持基板を厚肉部薄膜上に重ねたまま大気圧の窒素雰囲気中で更に昇温して1000℃に60分間保持し、薄膜の支持基板への貼合せ熱処理を行った。このときの薄膜の厚さは 120 ± 4 nmと実施例2と殆ど変らなかった。また測定領域が10μm角及び2μm角のときの薄膜表面の平均粗さRaはAFMで測定した結果、それぞれ10.2nm(図7(a))及び9.69nm(図7(b))であった。この結果、薄膜表面の平均粗さRaは比較例1より僅かに改善されたが、実施例2のそれぞれ約9倍(測定領域10μm角)及び約25倍(測定領域2μm角)となり、実施例2と比べて極めて大きくなった。

【0021】

【発明の効果】以上述べたように、本発明によれば、表面に絶縁層が形成された半導体基板に水素イオンを注入して半導体基板内部に絶縁層に平行な損傷領域を形成し、半導体基板を支持基板に重ね合せて積層体を形成し、更に積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で400～500℃の範囲に昇温して半導体基板を損傷領域で厚肉部及び薄膜に分離したので、表面粗さが良好な薄膜を得ることができる。これは半導体基板外部の

圧力を小さくできれば、薄膜分離に必要な水素イオンの微小気泡の内圧が小さく済むので、微小気泡の成長が比較的少ない状態で薄膜を分離でき、この結果、薄膜の分離面の表面粗さを小さくできるためである。またタッチポリッシュにより薄膜表面を研磨する必要が極めて少ないので、厚さが極めて薄い薄膜であっても薄膜の厚さ分布が大きくなることはなく、本発明のSOI基板を用いてデバイスを作製しても、デバイスの特性はばらつかない。

【0022】また積層体の温度を所定の温度まで下げて半導体基板の厚肉部を除去した後に、積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で900～1200℃の範囲に昇温する熱処理を行えば、薄膜表面の平坦化と薄膜の支持基板への貼合せを同時に行うことができるので、SOI基板の製造工程への負荷を低減できる。これは極めて真空度の高い雰囲気中で700℃まで昇温すると、半導体基板に注入された水素イオンの薄膜からの脱離が完了して薄膜の表面粗さが小さくなり、薄膜と支持基板との貼合せ熱処理は通常900～1200℃の範囲で行われるためである。更に損傷領域で分離した厚肉部を薄膜に重ねたまま積層体を $1 \times 10^{-6} \sim 1 \times 10^{-11}$ torrの真空中で900～1200℃の範囲に更に昇温して、薄膜表面を平坦化しかつ薄膜を支持基板に貼合せた後に、降温して厚肉部を除去すれば、薄膜分離熱処理後に一旦降温する上記SOI基板の製造方法より熱処理の工数及び熱エネルギーの損失を低減できる。

【図面の簡単な説明】

【図1】本発明実施形態のSOI基板の製造方法を工程順に示す図。

【図2】(a)はそのSOI基板の熱処理温度条件を示す図。(b)は別の実施形態のSOI基板の熱処理温度条件を示す図。

【図3】(a)は本発明の実施例1のSOI基板の熱処理温度条件を示す図。(b)は本発明の実施例2のSOI基板の熱処理温度条件を示す図。

【図4】(a)は本発明の実施例1を示し、400℃に加熱して半導体基板を損傷領域で分離した直後の薄膜表面を、AFMにより測定領域を10μm角として示す図。(b)は本発明の実施例1を示し、400℃に加熱して半導体基板を損傷領域で分離した直後の薄膜表面を、AFMにより測定領域を2μm角として示す図。

【図5】(a)は本発明の実施例2を示し、400℃に加熱して半導体基板を損傷領域で分離し更に850℃まで加熱した直後の薄膜表面を、AFMにより測定領域を10μm角として示す図。(b)は本発明の実施例2を示し、400℃に加熱して半導体基板を損傷領域で分離し更に850℃まで加熱した直後の薄膜表面を、AFMにより測定領域を2μm角として示す図。

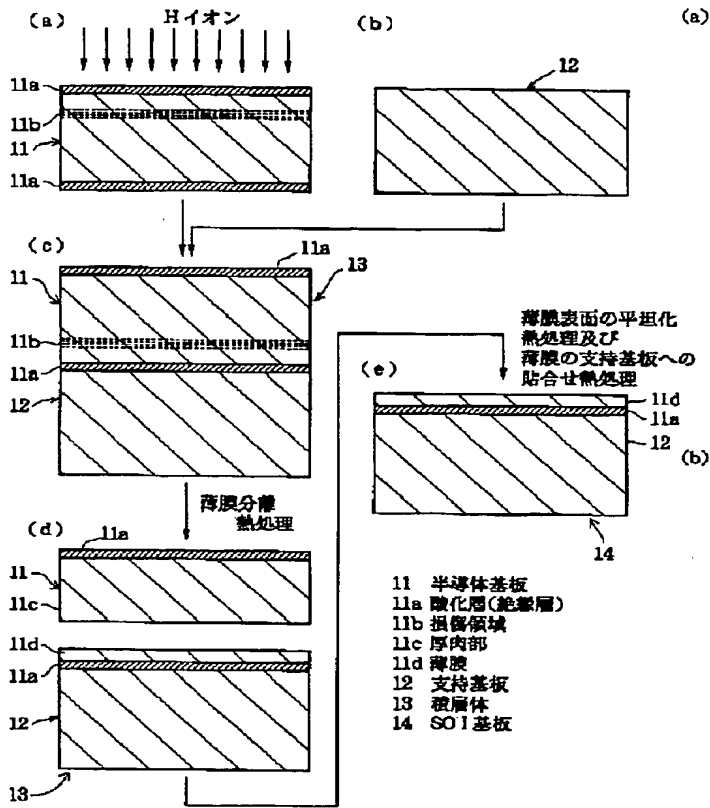
【図6】(a)は比較例1を示し、450℃に加熱して半導体基板を損傷領域で分離した直後の薄膜表面を、AFMにより測定領域を10μm角として示す図。(b)は比較例1を示し、450℃に加熱して半導体基板を損傷領域で分離した直後の薄膜表面を、AFMにより測定領域を2μm角として示す図。

【図7】(a)は比較例2を示し、450℃に加熱して半導体基板を損傷領域で分離し更に1000℃まで加熱した直後の薄膜表面を、AFMにより測定領域を10μm角として示す図。(b)は比較例2を示し、450℃に加熱して半導体基板を損傷領域で分離し更に1000℃まで加熱した直後の薄膜表面を、AFMにより測定領域を2μm角として示す図。

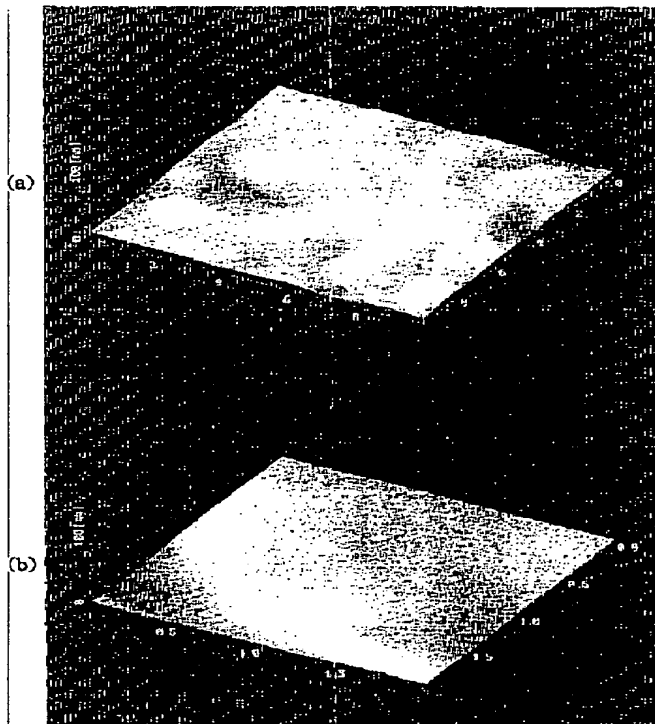
【符号の説明】

- 11 半導体基板
- 11a 酸化層（絶縁層）
- 11b 損傷領域
- 11c 厚肉部
- 11d 薄膜
- 12 支持基板
- 13 積層体
- 14 SOI基板

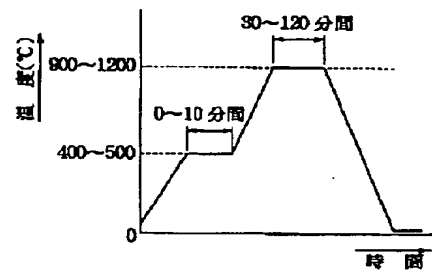
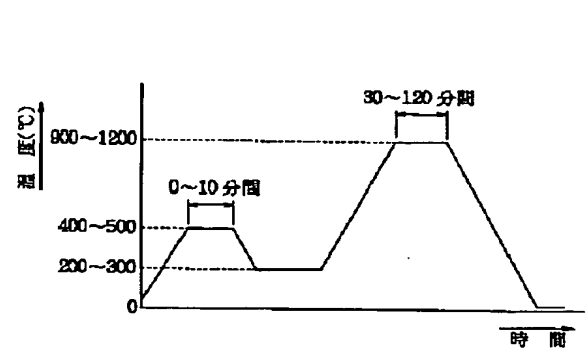
【図 1】



【図 5】

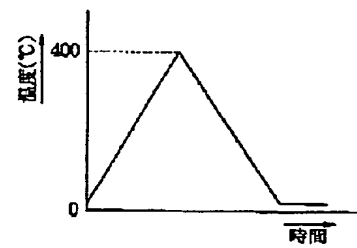


【図 2】

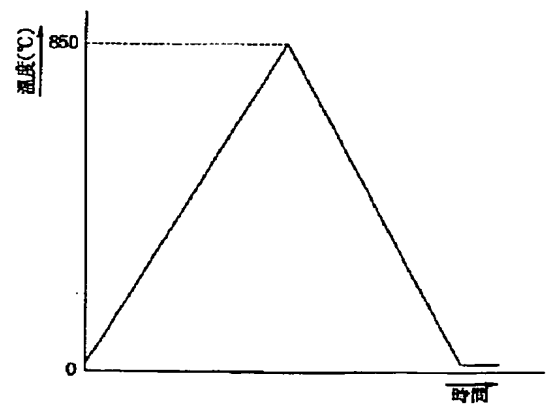


【図 3】

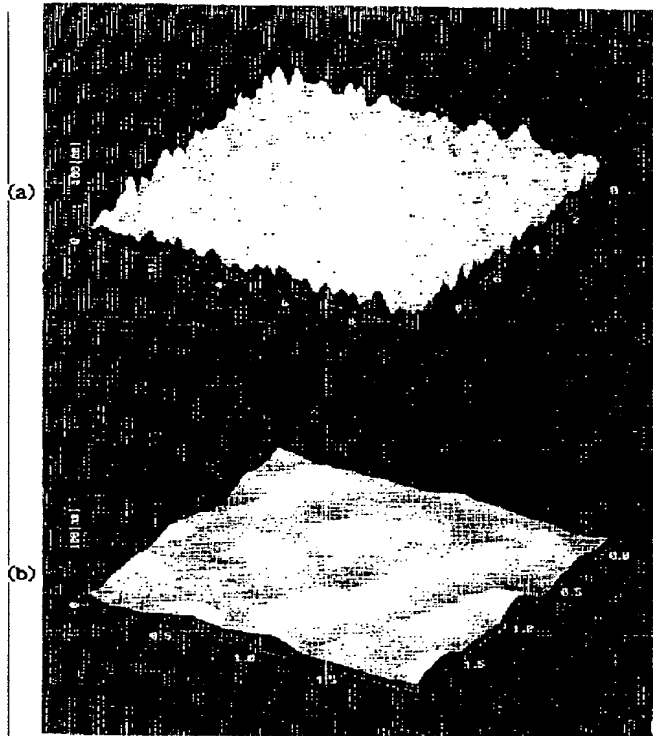
(a)



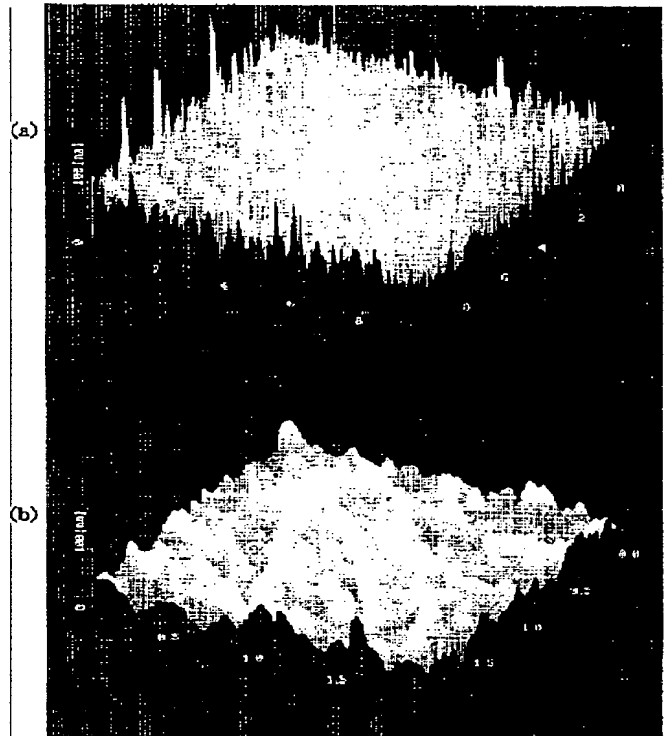
(b)



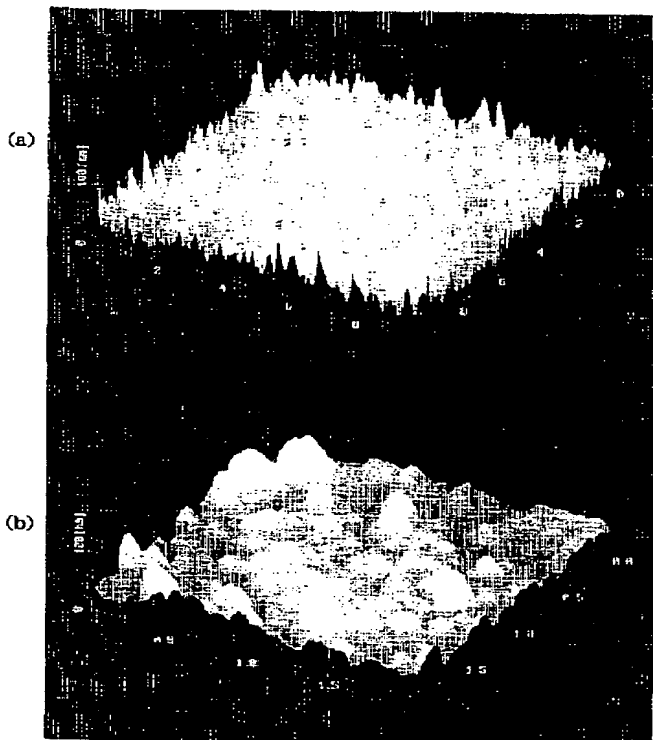
【 図 4 】



【 図 6 】



【 図 7 】



【手続補正書】

【提出日】平成 9 年 5 月 2 9 日

【手続補正 1】

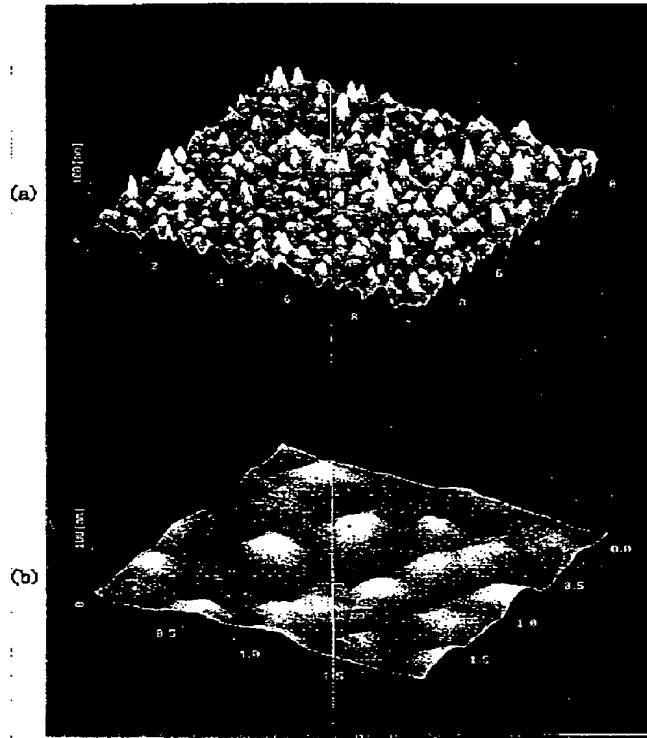
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正内容】

【図 4】



【手続補正 2】

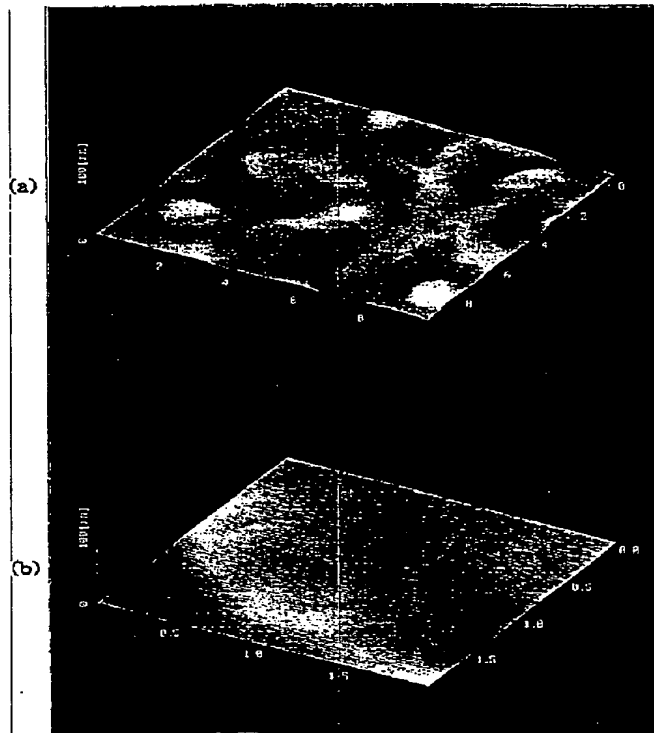
【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

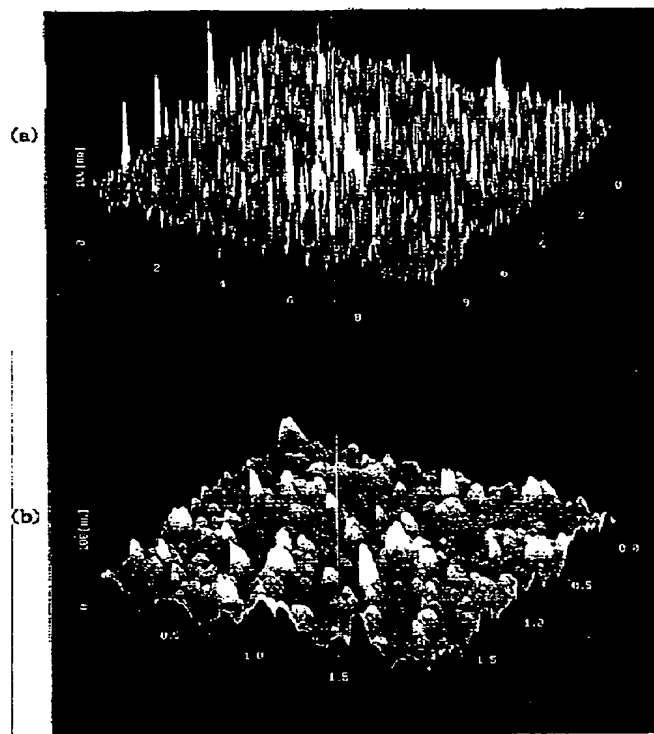
【補正内容】

【図 5】



【手続補正 3】
 【補正対象書類名】図面
 【補正対象項目名】図 6

【補正方法】変更
 【補正内容】
 【図 6】



【手続補正 4】
 【補正対象書類名】図面
 【補正対象項目名】図 7

【補正方法】変更
 【補正内容】
 【図 7】

